

Серия отладочных плат LDM-EP3Cxx-E144 представляет собой печатную плату размером 114x79x12 мм и макетным полем 79x52 мм (шаг отверстий 2.54 мм) с установленной на ней микросхемой ПЛИС DD1 фирмы Altera семейства CycloneIII FPGA в корпусе EQFP-144. Для удобства проектирования плата под микросхемой DD1 разведена так, чтобы было удобно производить пайку проводным монтажом (ножки ввода/вывода имеют соответствующие площадки, отведенные от корпуса DD1, обозначения номеров выводов указаны на рис. 6). Плата снабжена разъемом XS2 (IDC-10MS) для подключения загрузочных кабелей LDM-USB-Blaster, LDM-PB 2.01 ByteBlasterMV или их аналогов (в режиме JTAG). Питание платы осуществляется от внешнего стабилизированного источника с напряжением + 9...12 В, который подключается к разъему XS1. Светодиод VD2 является индикатором наличия питания.

**ALTERA**



Рис. 1. Общий вид отладочных плат

Линейные преобразователи напряжения DA1 и DA2 (LM317D2P) в корпусе D2PAK и DA3 (LM317AEMP) в корпусе SOT-223 преобразуют напряжение источника питания в напряжение  $VCCINT = 1.2\text{ В}$ ,  $VCCA = 2.5\text{ В}$  и  $VCCIO = 3.3\text{ В}$ .

Таблица 1

Основные характеристики отладочных плат

Версия платы	Тип ПЛИС	Напряжение питания ПЛИС, В	Кол-во ножек ввода/вывода	Логическая емкость, элементов LEs
LDM-EP3C5-E144	EP3C5E144	1.2	94	5 136
LDM-EP3C10-E144	EP3C10E144	1.2	94	10 320
LDM-EP3C25-E144	EP3C25E144	1.2	82	24 624

На плате предусмотрены монтажные площадки под установку конфигурационной микросхемы DD2 или DD3 (EPCS4SI8, EPCS16SI16) в корпусе SOIC-8 или SOIC-16. Эти микросхемы позволяют производить конфигурацию ПЛИС в режиме Active Serial. Для программирования конфигурационного ПЗУ в ПЛИС по JTAG-интерфейсу загружается специально подготовленный проект - Serial FlashLoader (SFL). SFL представляет собой мост между интерфейсами JTAG и Active Serial и преобразует поток данных, поступающих по JTAG-интерфейсу в формат, необходимый для программирования последовательного конфигурационного ПЗУ.

Отладочная плата предназначена для макетирования устройств, проектируемых на ПЛИС фирмы Altera семейства CycloneIII, а также сборки законченных устройств путем монтажа необходимых компонентов на макетном поле платы. Использование LDM-EP3Cxx-E144 позволяет максимально сократить время внедрения продукта пользователя на рынок.

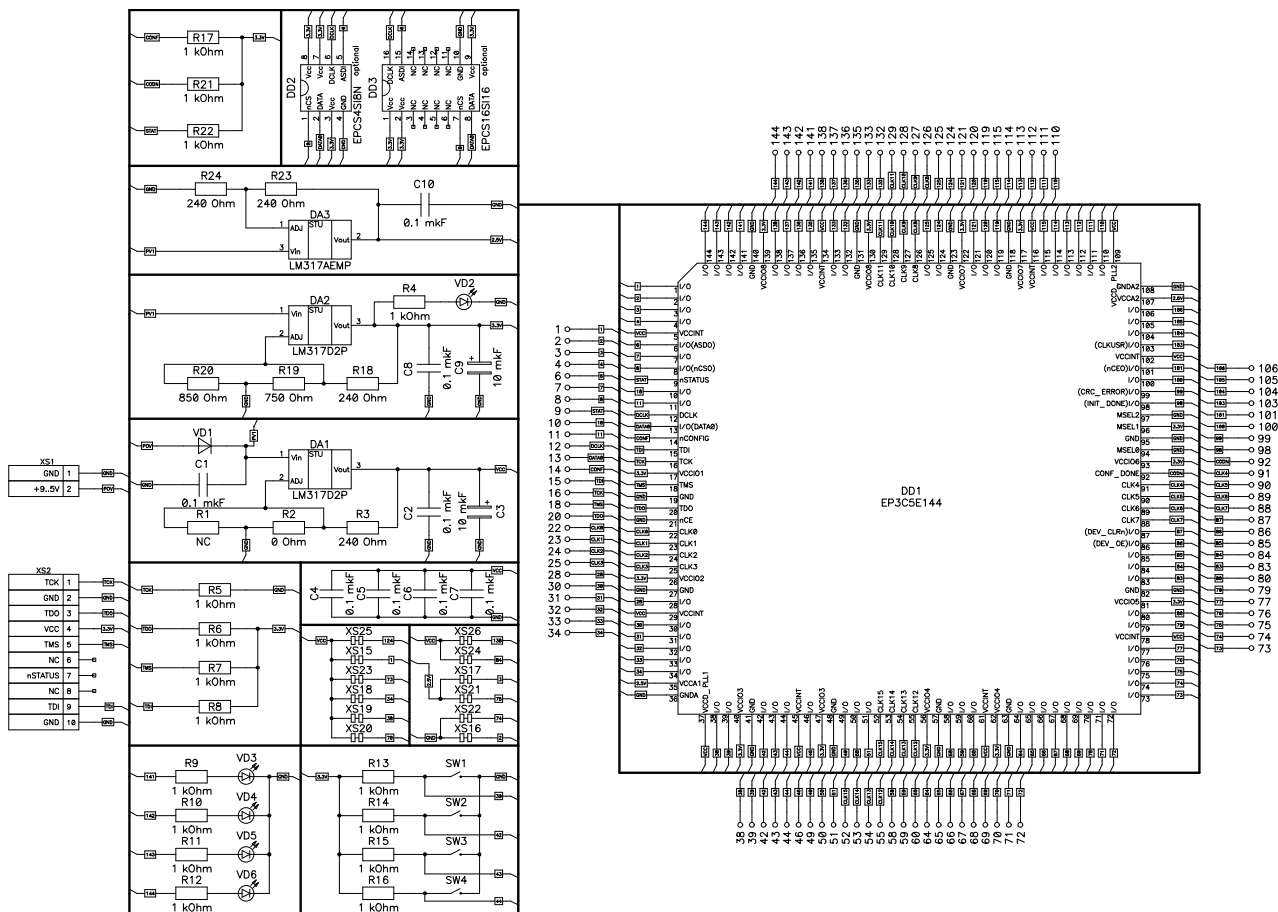


Рис. 2. Схема электрическая принципиальная LDM-EP3C5-E144

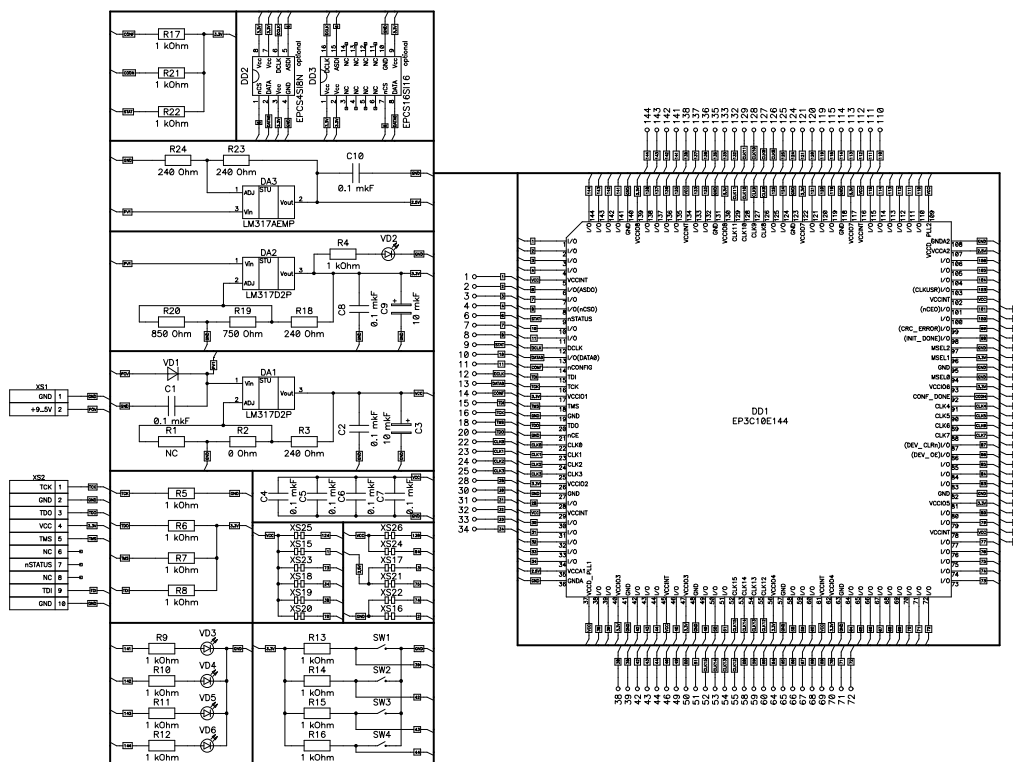


Рис. 3. Схема электрическая принципиальная LDM-EP3C10-E144

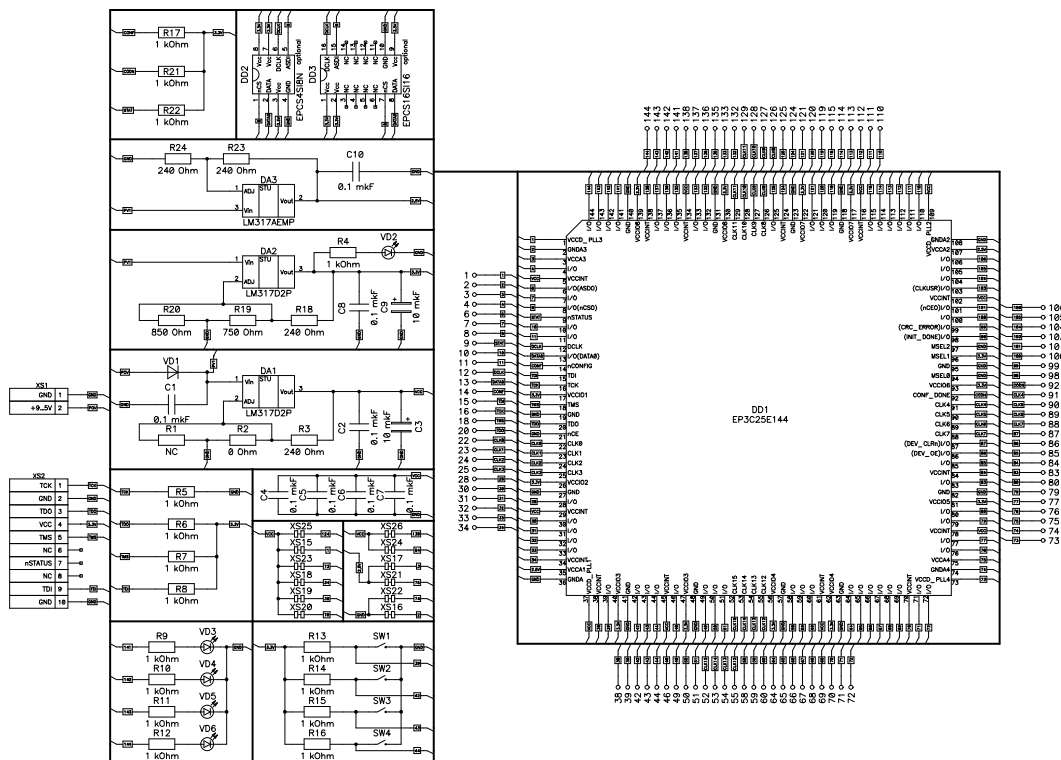


Рис. 4. Схема электрическая принципиальная LDM-EP3C25-E144

На плате расположены четыре светодиода VD3-VD6 и четыре кнопки SW1-SW4, которые подключены к выводам ПЛИС. Они предназначены для упрощения проектирования и могут пригодиться при тестировании проекта.

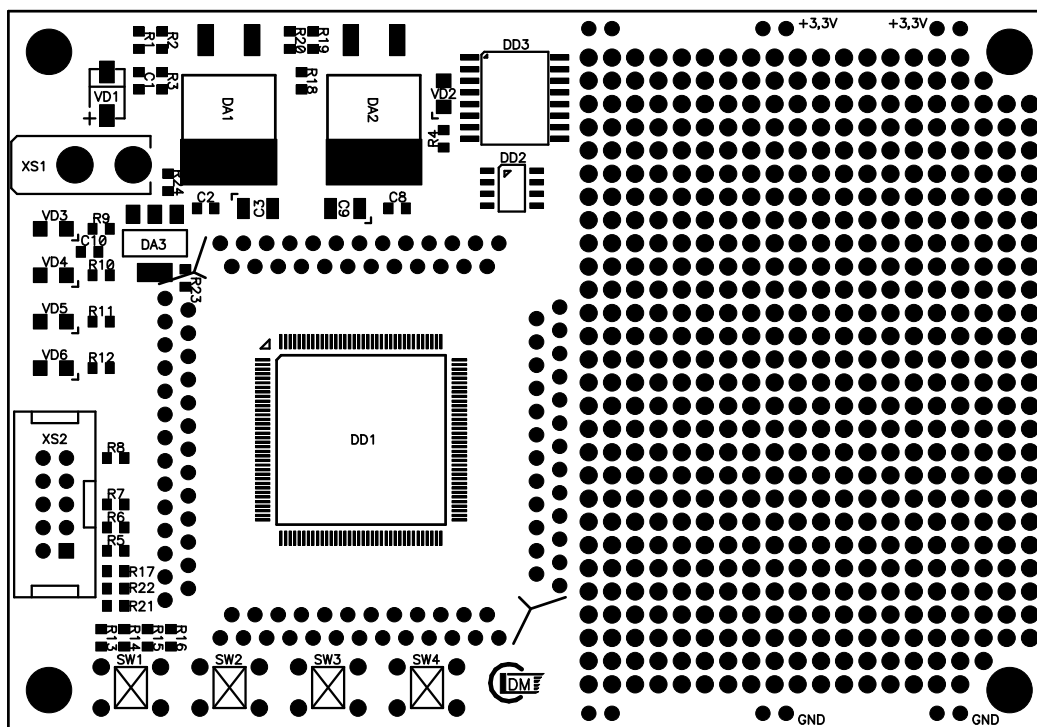


Рис. 5. Внешний вид печатной платы

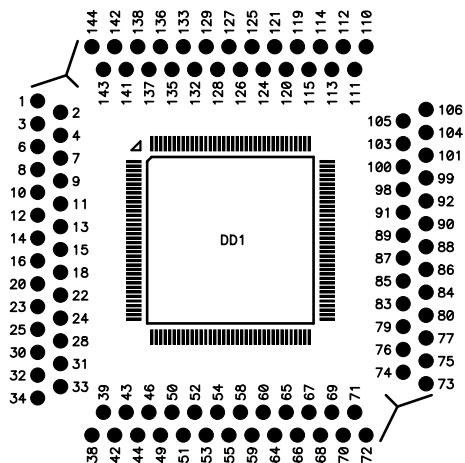


Рис. 6. Обозначение монтажных площадок

### Комплектация:

- отладочная плата;
- описание к отладочной плате;
- примеры проектов для Quartus II Web Edition Software;
- описание к семейству ПЛИС Altera.