

Серия отладочных плат XB-XC3Sxxx-PQ208 представляет собой печатную плату размером 145x122x12 мм и макетным полем 70x122 мм (шаг отверстий 2.54 мм) с установленной на ней микросхемой ПЛИС DD1 фирмы Xilinx семейства Spartan-3 FPGA в корпусе PQFP-208. Для удобства проектирования плата под микросхемой DD1 разведена так, чтобы было удобно производить пайку проводным монтажом (ножки ввода/вывода имеют соответствующие площадки, отведенные от корпуса DD1). Плата снабжена разъемом XS2 (IDC-10MS) для подключения загрузочных кабелей XB-XUP USB-JTAG, XB-PCIII 2.01 Xilinx Parallel Cable III или их аналогов. Питание платы осуществляется от внешнего стабилизированного источника с напряжением +9...12 В, который подключается к разъему XS1. Светодиод VD2 является индикатором наличия питания.

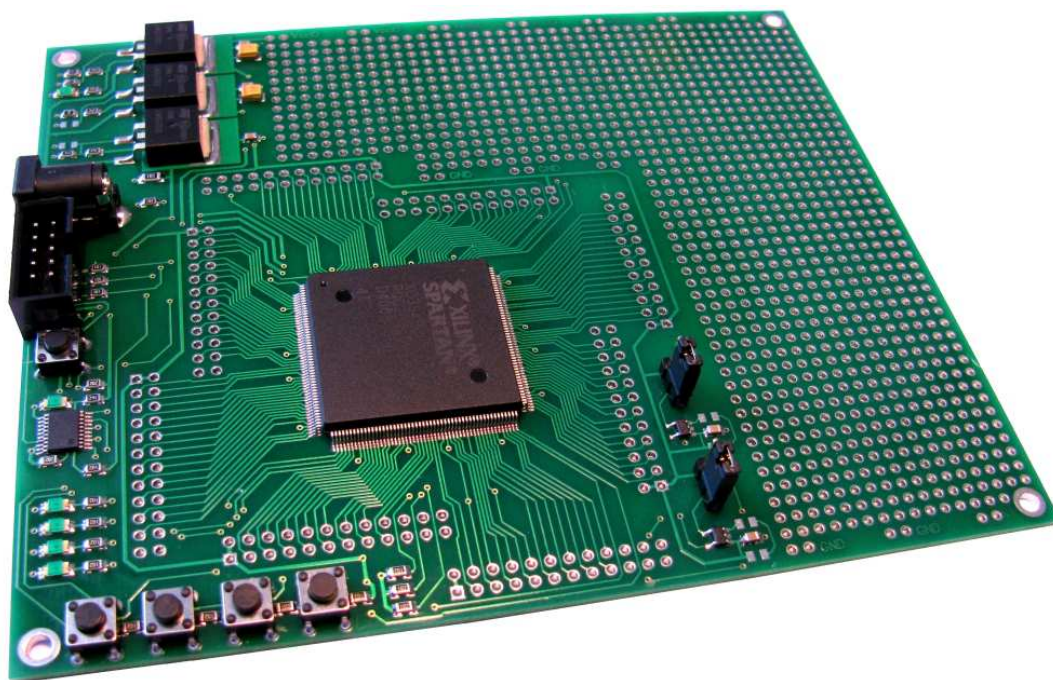


Рис. 1. Общий вид отладочной платы

Линейные преобразователи напряжения DA1, DA2 и DA3 (LM317D2P) в корпусе D2PAK преобразуют напряжение источника питания в напряжение $VCCINT = 1.2$ В, $VCCAUX = 2.5$ В и $VCCIO = 3.3$ В.

Таблица 1

Основные характеристики отладочных плат

Версия платы	Тип ПЛИС	Напряжение питания ПЛИС $VCCINT$, В	Кол-во ножек ввода/вывода	Логическая емкость, логическая ячейка
XB-XC3S50-PQ208	XC3S50-PQ208	1.2	124	50 000
XB-XC3S200-PQ208	XC3S200-PQ208	1.2	141	200 000
XB-XC3S400-PQ208	XC3S400-PQ208	1.2	141	400 000

Отладочная плата предназначена для макетирования устройств, проектируемых на ПЛИС фирмы Xilinx семейства Spartan-3 FPGA, а также сборки законченных устройств путем монтажа необходимых компонентов на макетном поле платы. Использование XB-XC3Sxxx-PQ208 позволяет максимально сократить время внедрения продукта пользователя на рынок.

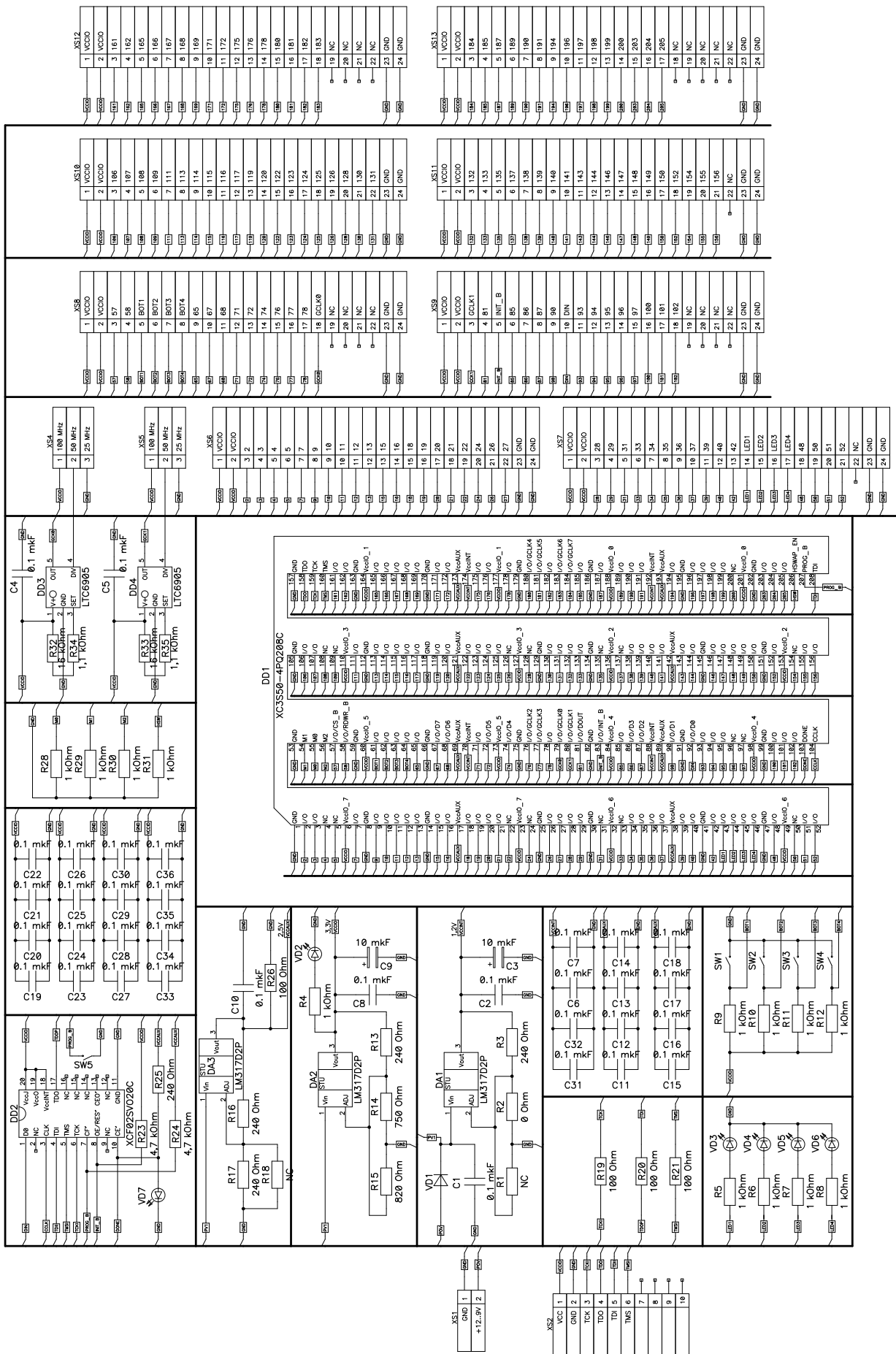


Рис. 2. Схема электрическая принципиальная XB-XC3S50-PQ208

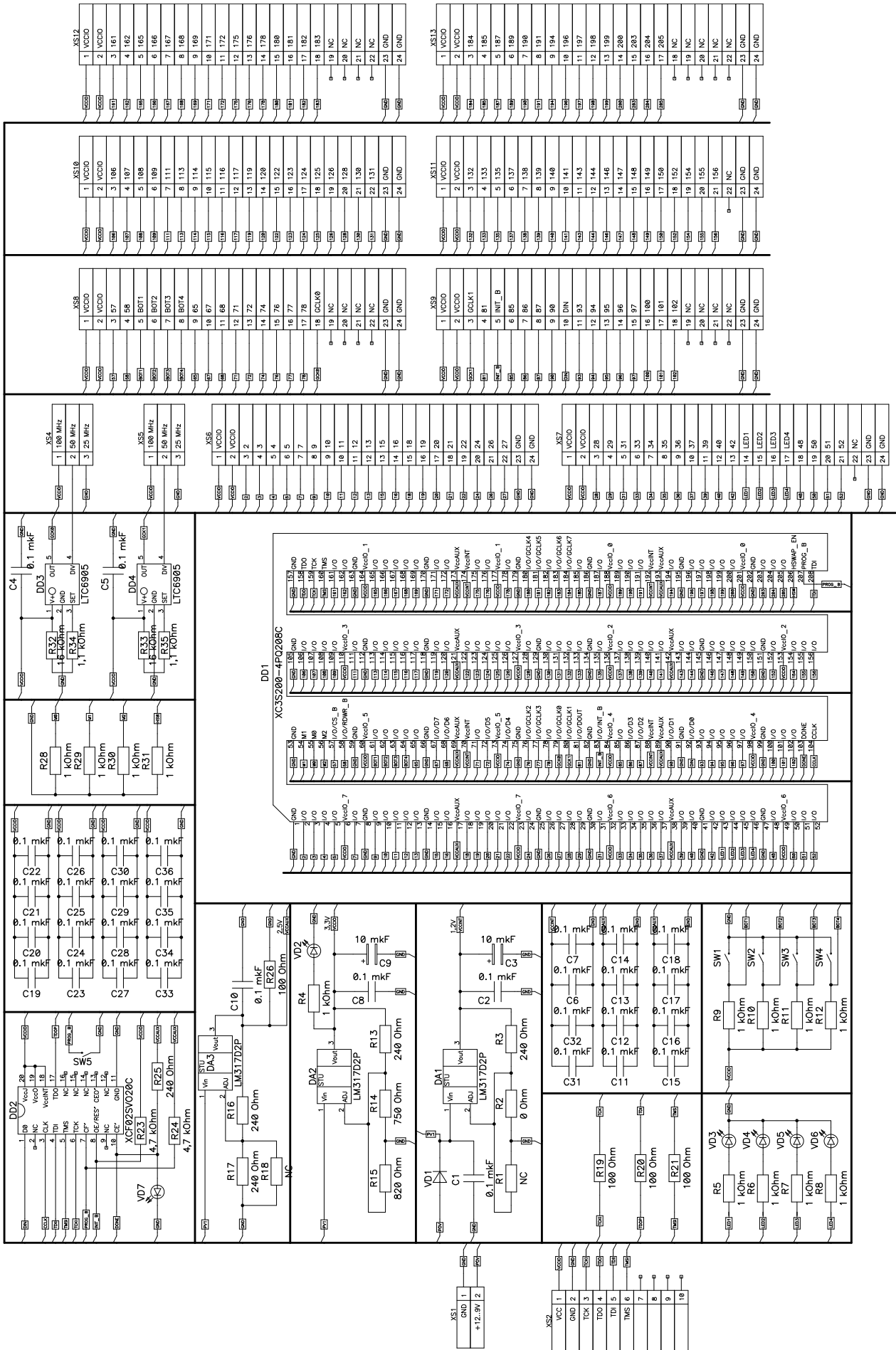


Рис. 3. Схема электрическая принципиальная ХВ- XC3S200-PQ208

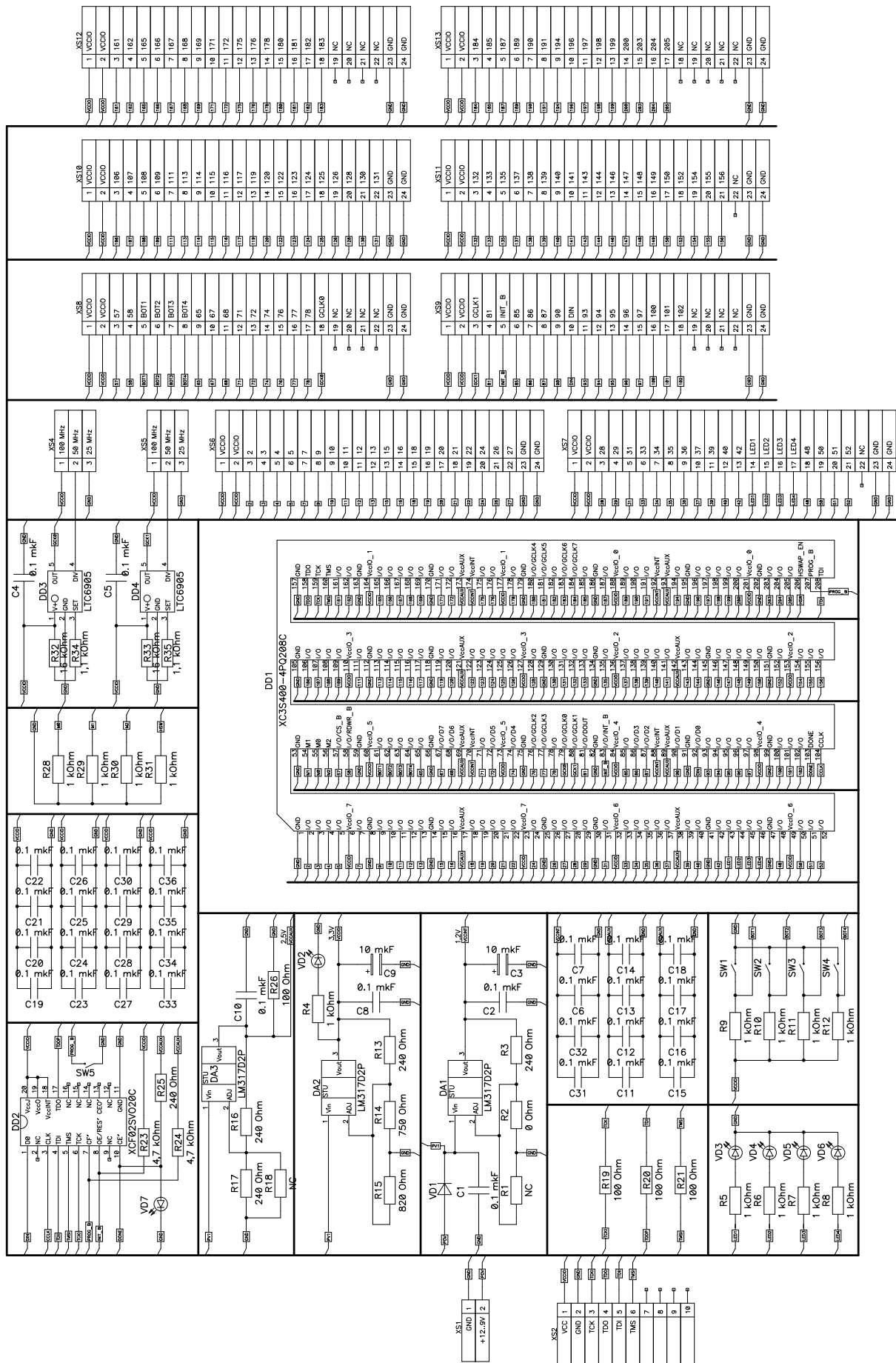



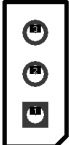

Рис. 4. Схема электрическая принципиальная ХВ- XC3S400-PQ208

На плате расположены четыре светодиода VD3-VD6 и четыре кнопки SW1-SW4, которые подключены к выводам ПЛИС. Они предназначены для упрощения проектирования и могут пригодиться при тестировании проекта.

На плату установлены два независимых генератора DD3 и DD4. Используя переключки XS4 и XS5, можно осуществить настройку генераторов на частоты 25, 50 и 100 МГц (таблица 2).

Таблица 2

Настройка генератора частоты

25 МГц	50 МГц	100 МГц
		

На плате установлена конфигурационная память PROM XCF02SVO20C (DD2) с объемом памяти в 2 Мбит. Программирование памяти осуществляется через разъем XS2. Для успешного программирования конфигурационной памяти и ПЛИС необходимо правильно настроить режим программирования платы в системе Xilinx ISE WebPack. Для этого следует задать последовательность размещения ПЛИС и PROM, как указано на рисунке 5. Первой в линии TDI идет ПЛИС, а за ней PROM.

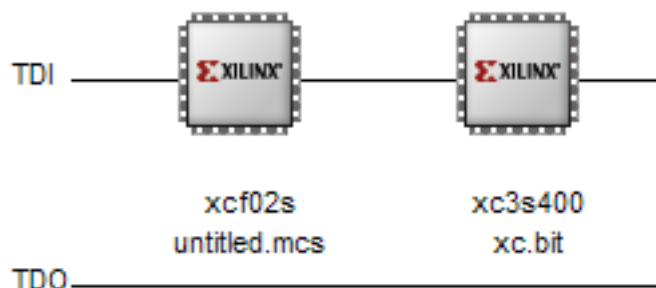


Рис. 5. Последовательность размещения ПЛИС и PROM в системе Xilinx ISE WebPack

Светодиод VD7 является индикатором программирования конфигурационной PROM. Кнопка SW5 предназначена для перезапуска процесса конфигурирования ПЛИС кодом из конфигурационной PROM.

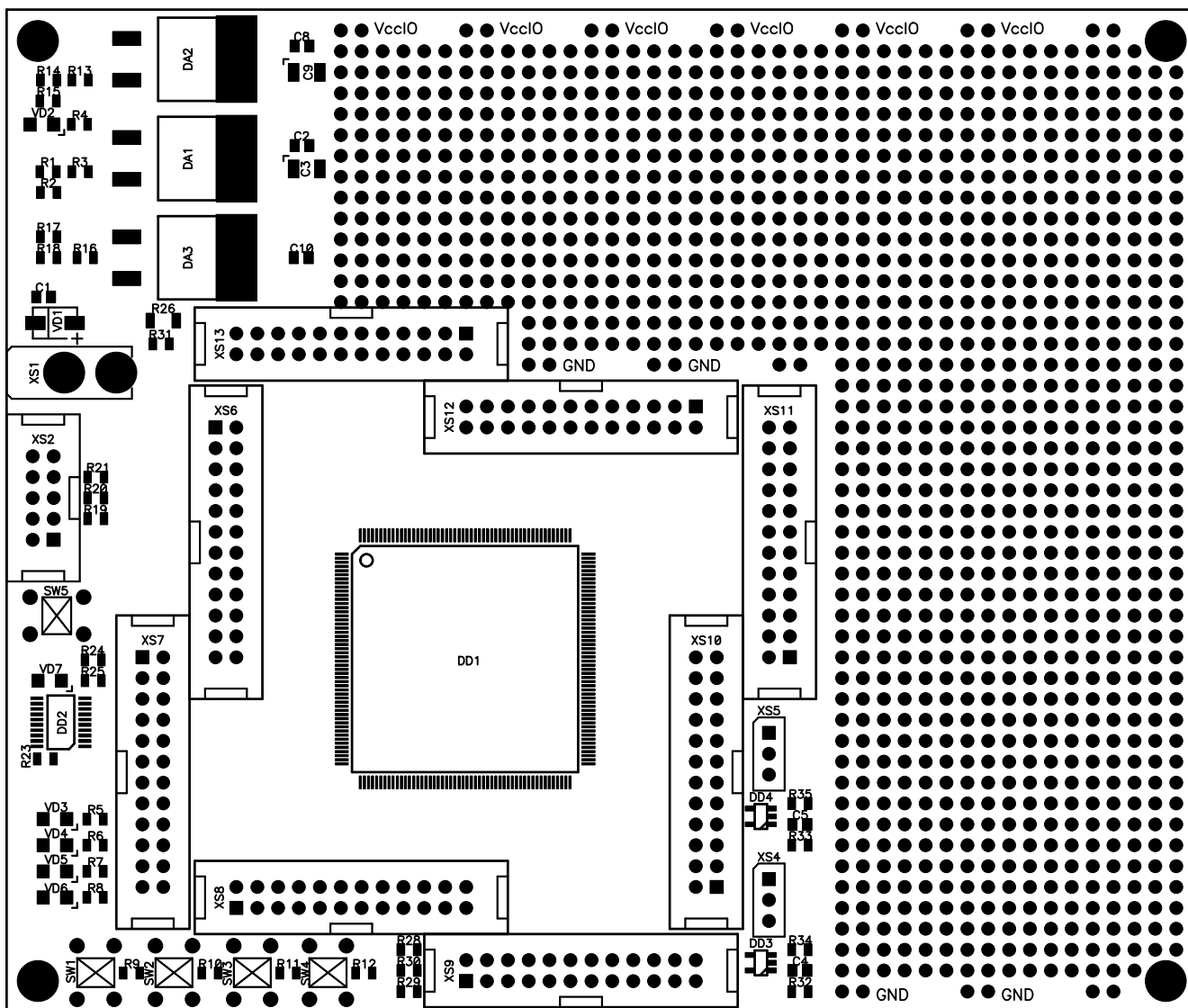


Рис. 6. Внешний вид печатной платы

Комплектация:

- отладочная плата;
- описание к отладочной плате;
- примеры проектов для Xilinx ISE WebPack;
- описание к семейству ПЛИС Xilinx.